

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-217796

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H01G 4/12

C04B 35/64

H01G 4/30

(21)Application number : 03-068194

(71)Applicant : NEC CORP

(22)Date of filing : 01.04.1991

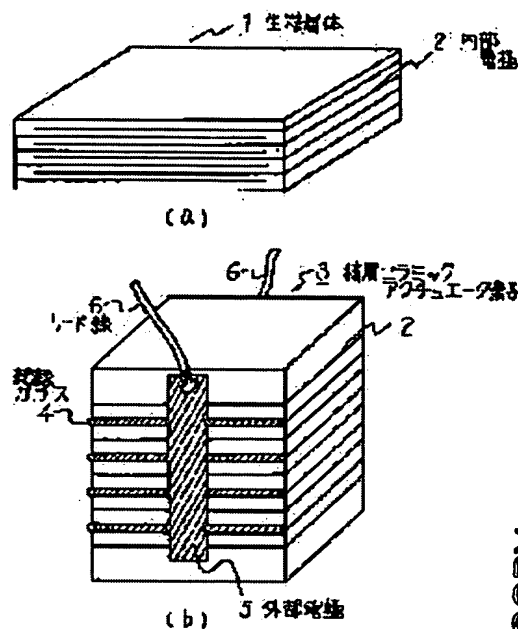
(72)Inventor : SAITO SUSUMU

## (54) MANUFACTURE OF LAMINATED CERAMIC ELECTRONIC COMPONENT

(57)Abstract:

PURPOSE: To eliminate a microcrack, to obviate an initial malfunction and to improve yield by providing the steps of separating a crude laminate, after once baked, to a desired shape by cutting, then setting a baking temperature higher than that at the time of first baking in a range that sintering contraction of the laminate is not advanced, and again baking it.

CONSTITUTION: A crude laminate having a predetermined size is formed of a ceramic material. Then, it is baked at 1000° C, and then polished. Thereafter, a block of a predetermined size is obtained by cutting its outer periphery with a cutter. After the block is again baked at 1200° C, insulation glass is formed at every other layers of inner electrodes 2, it is then cut in an element state of a predetermined size, and a laminated ceramic piezoelectric actuator element 3 in which an outer electrode 5 and leads 6 are formed on the glass is obtained. According to this method, generation of a microcrack can be eliminated, an initial malfunction is obviated, and its yield can be improved. Further, it is not necessary to polish to precisely form its size after the element is cut.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-217796

(43)公開日 平成5年(1993)8月27日

| (51)Int. Cl. <sup>5</sup> | 識別記号    | 庁内整理番号     | F I | 技術表示箇所 |
|---------------------------|---------|------------|-----|--------|
| H 0 1 G 4/12              | 3 6 4   | 7135-5 E   |     |        |
| C 0 4 B 35/64             |         | C 7305-4 G |     |        |
| H 0 1 G 4/30              | 3 1 1 Z | 8019-5 E   |     |        |

審査請求 未請求 請求項の数 1

(全4頁)

(21)出願番号 特願平3-68194

(22)出願日 平成3年(1991)4月1日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 齋藤 晋

東京都港区芝五丁目7番1号日本電気株式会  
社内

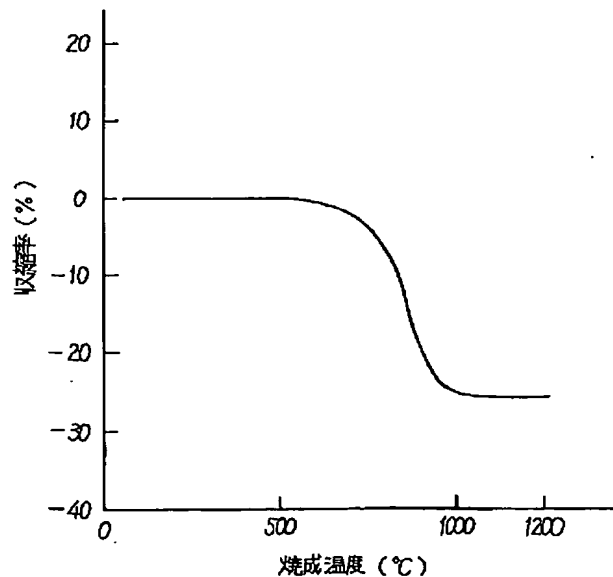
(74)代理人 弁理士 内原 晋

(54)【発明の名称】積層セラミック電子部品の製造方法

(57)【要約】

【構成】生積層体を一度（例えば図1の1000℃）焼成した後、に所望する形状に切断分離し、その後積層体の焼結収縮が進まない範囲で1回目の焼成時より高い焼成温度（例えば図1の1200℃）を設定して再度焼成する工程を含むことを特徴として構成される。

【効果】素子の機械加工による切断面（外部電極形成面）を熱処理することになるので、切断時に生じたショートの原因になるマイクロクラックを解消でき、従来方法に比べ初期不良を無くし、歩留り改善が出来る。また2回目の焼成温度が選択されているので素子寸法は殆んど変化しないので寸法出しのための研磨加工を素子切断後に施す必要がない。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 積層セラミック電子部品において、特に圧電アクチュエータのように素子寸法精度が重要で、素子寸法のバラツキをできるだけ抑える必要があるものにおいて、生積層体を一度焼成した後に所望する形状に切断分離し、その後積層体の焼結収縮が進まない範囲で、1回目の焼成時より高い焼成温度を設定し、再度焼成する工程を含むことを特徴とする積層セラミック電子部品の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は積層セラミック電子部品の製造方法に関し、特に生積層体の焼成方法に関する。

## 【0002】

【従来の技術】従来の積層セラミックコンデンサや積層セラミック圧電アクチュエータなどのような積層セラミック電子部品は図4に示すように内部電極形成セラミックグリーンシート8を複数枚配設し、かつその上下に保護用セラミックグリーンシート7を配設した後に熱圧着して生積層体を得ていた。積層セラミックコンデンサなどのような小型かつ厳密な寸法精度が要求されない製品は前記生積層体を所望する形状に切断分離後焼成して積層セラミックコンデンサ素子を得ていた。しかし積層セラミック圧電アクチュエータのような大型で精密位置出しなどに用いられるものは、素子自体の寸法精度が非常に重要になってくる。そのため生積層体を切断せずに焼成し、その後に切断後の素子寸法が一樣になるように研磨を行ってから素子形状に切断していた。

## 【0003】

【発明が解決しようとする課題】このような従来の素子寸法精度要求の高い積層セラミック電子部品の製造方法では、焼結した積層体を外周刃などを用いて素子形状に切断分離することが行なわれている。しかしながらこの方法では焼結体を機械加工によって切断分離しているため、加工条件によってセラミック素子表面及び内部にマイクロクラックが生じ易く、これによる素子劣化が認められるものが多く、素子歩留の低下の原因になっていた。このような欠点を改善するために、通常の積層セラミックコンデンサの製造方法と同様に生積層体を素子形状に切断分離してから焼成する方法も実施されているが、この方法では素子形状を均一にするために1個1個研磨加工する手間が生じ、コストアップの一因になっていた。

【0004】本発明の目的は、一度焼成したのち切断す

ることによって生ずるマイクロクラックの発生を解消でき、初期不良をなくし、歩留り改善ができ、しかも寸法だしのための研磨加工を素子切断後に施す必要がない積層セラミック電子部品の製造方法を提供することにある。

## 【0005】

【課題を解決するための手段】本発明の積層セラミック電子部品の製造方法は、生積層体を一度焼成した後に所望する形状に切断分離し、その後積層体の焼結収縮が進まない範囲で1回目の焼成時より高い焼成温度を設定し再度焼成する工程を含むことを特徴として構成される。

## 【0006】

【実施例】次に、本発明について図面を参照して説明する。

【0007】図1は本発明の一実施例を説明するための生積層体の焼成温度と収縮率を関係を示す図、図2は本発明の一実施例を説明するための斜視図で、(a)は生積層体(b)は積層セラミックアクチュエータ素子を示す。図3は、従来方法により得られた積層セラミック電子部品および本発明の一実施例により得られた積層セラミック電子部品の切断面の比較写真である。

【0008】マグネシウム・ニオブ酸鉛 $Pb(Mg_{1/3}Nb_{2/3})O_3$ とチタン酸鉛 $PbTiO_3$ をモル比で9対1の割合で固溶させるセラミック材料を用いて図2

(a)に示すような寸法 $100mm \times 70mm \times 18mm$ の生積層体を作成した。次に前記生積層体を $1000^\circ C$ で焼成した後、厚さ $15mm$ になるように研磨加工を施した。その後寸法 $100mm \times 10mm \times 15mm$ のブロックを外周刃切断によって得た。前記ブロックを $1200^\circ C$ の温度で再度焼成した後、図2(b)に示すように内部電極2の一層おきに絶縁ガラス4を形成し、その後 $10mm \times 10mm \times 15mm$ の素子状に切断し絶縁ガラス上に外部電極5およびリード線6を形成した積層セラミック圧電アクチュエータ素子3を得た。

【0009】本発明の製造方法による素子と従来方法の再焼成を行なわなかった素子に関して、外周刃にて切断した面の比較写真を図3に示した。図3(a)は外周刃により結晶は破断され、切断面が荒れており表面が機械的によわくなっているのが見られるが図3(b)の本発明実施例では組織が修復され、粒子が欠落する状況にはない。次にDC $100V$ 、温度 $85^\circ C$ 、湿度 $90 \sim 95\%$ の条件で評価した耐湿負荷の結果を表1に示す。

## 【0010】

表 1

| 評価条件                |                     | DC Bias 100V, 85℃, 90~95%RH |          |
|---------------------|---------------------|-----------------------------|----------|
| 評価時間                |                     | 100 (H)                     | 1000 (H) |
| サンプルの<br>ショート<br>の数 | 本発明方法による素子<br>n=100 | 0                           | 0        |
|                     | 従来方法による素子<br>n=100  | 7                           | 8        |

【0011】また、図1に本実施例に用いた積層体の焼結時の膨張収縮曲線を示す。図より本実施例のセラミック材料では約600℃から焼結収縮が急激に進み1000℃以上になるとほぼ一定となっている。

【0012】

【発明の効果】表1に示した例からも明らかなように、本発明の積層セラミック電子部品の製造方法によれば素子の機械加工による切断面（外部電極形成面）を熱処理することになるので、切断時に生じたショートの原因になるマイクロクラックを解消でき、従来の製造方法に比べ初期不良を無くし、歩留り改善ができる。

【0013】また、図1に示したようにセラミックの焼結収縮はある温度以上になると一定になるのでその温度範囲で1回目と2回目の焼成温度を選択すれば、2回目の焼成工程を経た後も素子寸法はほとんど変化しないため、寸法出しのための研磨加工を素子切断後に施す必要が無い。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための生積層体の

焼成温度と収縮率の関係を示す図である。

【図2】本発明の一実施例を説明するための斜視図で、(a)は生積層体 (b)は積層セラミックアクチュエータ素子である。

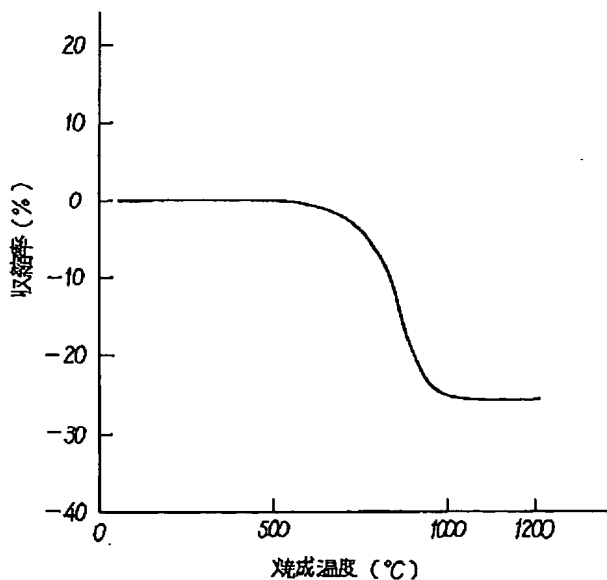
【図3】本発明の一実施例により得られた積層セラミック電子部品と従来方法により得られた積層セラミック電子部品の切断面の比較写真である。

【図4】従来の一般的な積層セラミック電子部品の製造工程における積層体の構造を示す分解斜視図である。

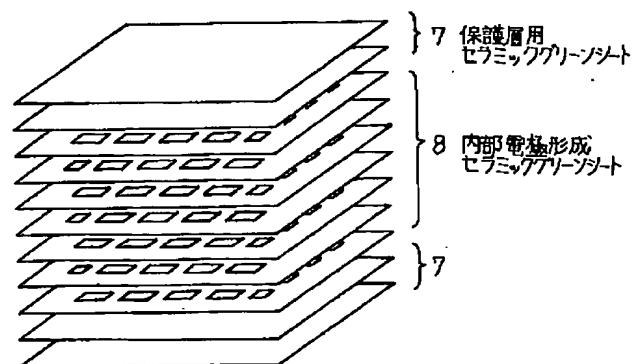
【符号の説明】

- 1 生積層体
- 2 内部電極
- 3 積層セラミックアクチュエータ素子
- 4 絶縁ガラス
- 5 外部電極
- 6 リード線
- 7 保護層用セラミックグリーンシート
- 8 内部電極形成セラミックグリーンシート

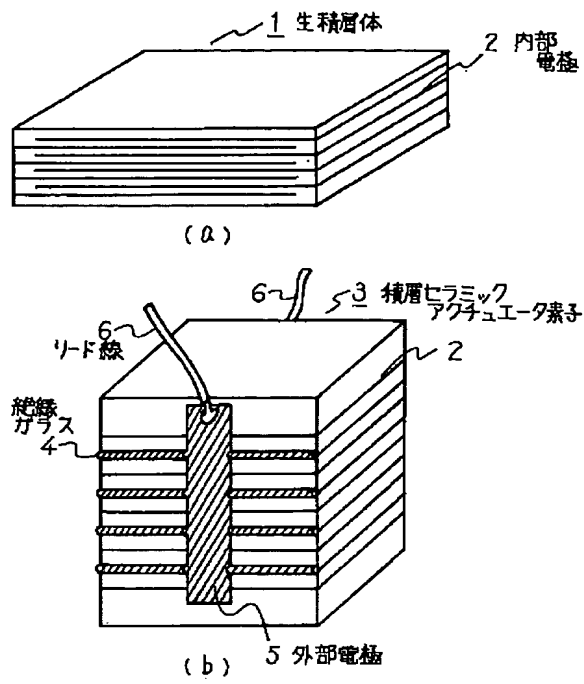
【図1】



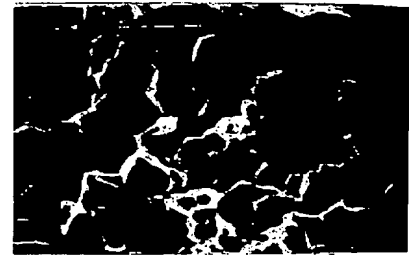
【図4】



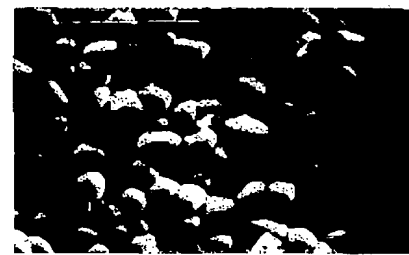
【図2】



【図3】



(a)



(b)